

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-028060

(43)Date of publication of application : 04.02.1994

(51)Int.Cl.

G06F 1/24

(21)Application number : 04-183737

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 10.07.1992

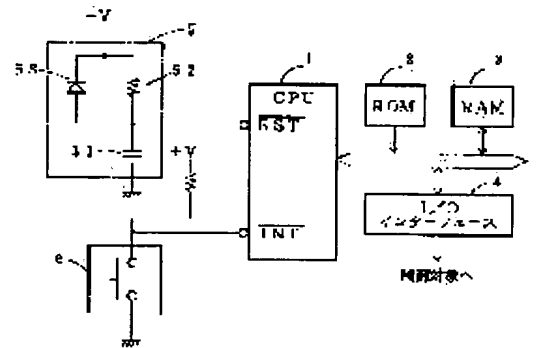
(72)Inventor : NOMA MOTONOBU

## (54) RESET CIRCUIT FOR CPU

### (57)Abstract:

**PURPOSE:** To obtain a CPU reset circuit capable of holding contents stored in an internal RAM without clearing them even when a reset switch is operated.

**CONSTITUTION:** A reset switch 6 is connected to an interruption terminal INT of a CPU 1, which includes an initializing routine for the reset switch 6 independently of an initializing routine for power ON. When a reset signal is inputted from the switch 6, the CPU 1 transfers processing to the reset switch initializing routine and initializes only another circuit without clearing the stored contents of the internal RAM 3.



(11)特許出願公開番号

特開平6-28060

(43)公開日 平成6年(1994)2月4日

### 技術表示箇所

3 5 1

審査請求 未請求 請求項の数 1 (全 5 頁)

(22)出願日 平成4年(1992)7月10日

東京都千代田区丸の内二丁目2番3号

会社丸亀製作所内

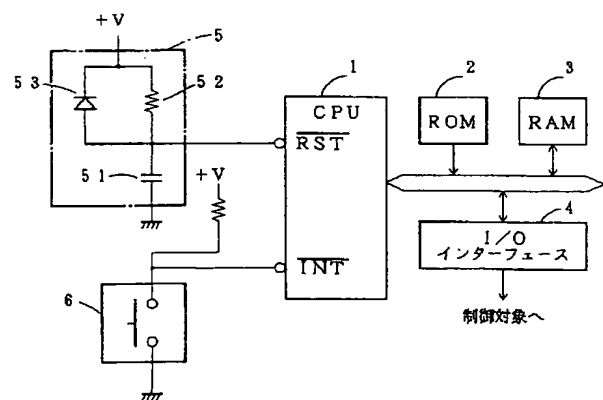
(74)代理人 弁理士 高田 守

(54)【発明の名称】 CPUのリセット回路

(57) 【要約】

【目的】 CPUのリセット回路に関し、リセットスイッチを操作しても内部RAMの記憶内容については保持されたままでクリアされることのないCPUのリセット回路を提供することを目的とする。

【構成】 リセットスイッチ6をCPU1の割り込み端子INTに接続するとともに、電源投入時の初期化ルーチンとは独立したリセットスイッチ用の初期化ルーチンを内蔵し、前記リセットスイッチ6からリセット信号が入力されたときは前記リセットスイッチ用の初期化ルーチンに処理を移行し、内部RAM3の記憶内容をクリアすることなく他の回路のみを初期化するようにした。



## 【特許請求の範囲】

【請求項1】 リセットスイッチをCPUの割り込み端子に接続するとともに、電源投入時の初期化ルーチンとは独立したリセットスイッチ用の初期化ルーチンを内蔵し、

前記リセットスイッチからリセット信号が入力されたときは前記リセットスイッチ用の初期化ルーチンに処理を移行し、内部RAMの記憶内容をクリアすることなく他の回路のみを初期化するようにしたことを特徴とするCPUのリセット回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、CPUのリセット回路に関するものである。

## 【0002】

【従来の技術】 図3に、制御機器などにコントローラとして組み込まれた従来のワンチップ・マイクロコンピュータのリセット回路の構成を示す。図において、1はCPU、2はROM、3はRAM、4は制御対象との間を結ぶ入出力（I/O）インターフェース、5は電源ON時に自動的にリセットをかけるパワーオンリセット回路、6は手動リセットをかけるためのリセットスイッチである。パワーオンリセット回路5とリセットスイッチ6は、CPU1のリセット端子RSTにそれぞれ接続されている。

【0003】 次に、図4のフローチャートを参照して、前記従来のリセット回路の動作につき説明する。電源がONされると（ステップS41）、パワーオンリセット回路5が作動し（ステップS42）、CPU1のリセット端子RSTにリセット信号が与えられる。

【0004】 すなわち、電源がONされると、パワーオンリセット回路5内のコンデンサ51が抵抗52を通じて所定の時定数で充電され、この時定数で決定される一定時間の間、所定のスレッシュホールドレベル以下のリセット信号がCPU1のリセット端子RSTへ入力される。なお、ダイオード53は、電源OFF時のコンデンサ51の放電用である。

【0005】 CPU1は、このリセット信号の入力により初期化ルーチンへ移行し、RAM3のチェックを行った後（ステップS43）、RAM3の記憶内容を零クリアするとともに（ステップS44）、他の必要な回路、例えばCPU1内のレジスタやI/Oインターフェースなどの周辺回路を初期化する。この初期化処理が終了すると、処理はメインルーチンへ移り（ステップS45）、メインルーチンで定められた所定の制御を繰り返し実行する。

【0006】 ここで、リセットスイッチ6をONし、リセット端子RSTにリセット信号を入力すると（ステップS46）、CPU1の処理はメインルーチン（ステップS45）から再びステップS43、44の初期化ルー

チンへ飛び、RAM3のチェックおよびその記憶内容の零クリアを行った後、再びメインルーチン（ステップS45）へ戻ってメインルーチンの処理を最初からやり直す。

## 【0007】

【発明が解決しようとする課題】 従来のCPUのリセット回路の場合、リセットスイッチ6を操作してリセットをかけると、それまでRAM3に記憶されていた内容がクリアされてしまうという問題があった。マイクロコンピュータを組み込んだ制御対象によっては、リセット時、RAM3の記憶内容はクリアすることなくそのまま保持し、その保持データを用いてメインルーチンの処理を再開した方がよい場合もある。従来のリセット回路はこのような場合にまったく対処することができなかった。

【0008】 この発明は前記のような課題を解決するためになされたもので、リセットスイッチを操作しても内部RAMの記憶内容についてはそのまま保持されてクリアされることのないCPUのリセット回路を提供することを目的とするものである。

## 【0009】

【課題を解決するための手段】 前記目的を達成するため、この発明に係るCPUのリセット回路は、リセットスイッチをCPUの割り込み端子に接続するとともに、電源投入時の初期化ルーチンとは独立したリセットスイッチ用の初期化ルーチンを内蔵し、前記リセットスイッチからリセット信号が入力されたときは前記リセットスイッチ用の初期化ルーチンに処理を移行し、内部RAMの記憶内容はクリアすることなく他の回路のみを初期化するようにしたものである。

## 【0010】

【作用】 この発明に係るCPUのリセット回路の場合、リセットスイッチからリセットがかけられると、処理はリセットスイッチ用の初期化ルーチンへ飛び、内部RAMの記憶内容はクリアすることなく保持したままで、他の回路のみを初期化する。したがって、リセット後でも、RAMの内容はそのまま残っているので、このRAMの記憶内容を用いてメインルーチンの処理を再開することができる。

## 【0011】

【実施例】 以下、図面を参照して本発明の実施例につき説明する。図1に、この発明に係るリセット回路の1実施例を示す。図において、1はCPU、2はROM、3はRAM、4は制御対象との間を結ぶ入出力（I/O）インターフェース、5は電源ON時に自動的にリセットをかけるパワーオンリセット回路、6は手動リセットをかけるためのリセットスイッチである。

【0012】 本発明の場合、パワーオンリセット回路5については、従来のリセット回路と同様に、CPU1のリセット端子RSTに接続されるが、リセットスイッチ

6については、CPU1の割り込み端子INTに接続される。さらに、ROM2中には、パワーオンリセット回路5によるリセットのための初期化ルーチン（図2中のステップS43、44の処理）の他に、リセットスイッチ用の初期化ルーチン（図2中のステップS47の処理）を用意しておく。このリセットスイッチ用の初期化ルーチンは、少なくともRAM3の記憶内容についてはクリアしないようなプログラムとなっている。

【0013】次に、図2のフローチャートを参照して、前記実施例の動作につき説明する。電源がONされると（ステップS41）、従来と同様にパワーオンリセット回路5によってパワーオンリセットがかかり（ステップS42）、パワーオンリセット用の初期化ルーチン（ステップS43、44）が実行されるた後、メインルーチンへ移行する（ステップS45）。

【0014】ここで、リセットスイッチ6をONしてリセットをかけると（ステップS46）、このリセット信号はCPU1の割り込み端子INTに入力される。CPU1は、割り込み端子INTにリセット信号が与えられたことを検知すると、それまで実行していたメインルーチンからリセットスイッチ用の初期化ルーチン（ステップS46）へ飛び、RAM3の記憶内容はそのままクリアすることなく、他の回路、例えばCPU1内のレジスタやI/Oインターフェースなどの周辺回路のみを初期化する。そして、このリセットスイッチ用の初期化ルーチンの処理を終了すると、メインルーチン45の先頭へ戻り、RAM3に記憶されているデータを用いてメイン\*

\*ルーチンの処理を再開する。

【0015】

【発明の効果】以上述べたように、この発明に係るCPUのリセット回路によれば、リセットスイッチからリセット信号を入力された場合、内部RAMの記憶内容はクリアされることなくそのまま保持されるため、リセット信号が入力される前のデータを用いてメインルーチンの処理を再開することができる。

【図面の簡単な説明】

【図1】この発明に係るCPUのリセット回路の実施例を示す回路図である。

【図2】前記実施例の動作を示すフローチャートである。

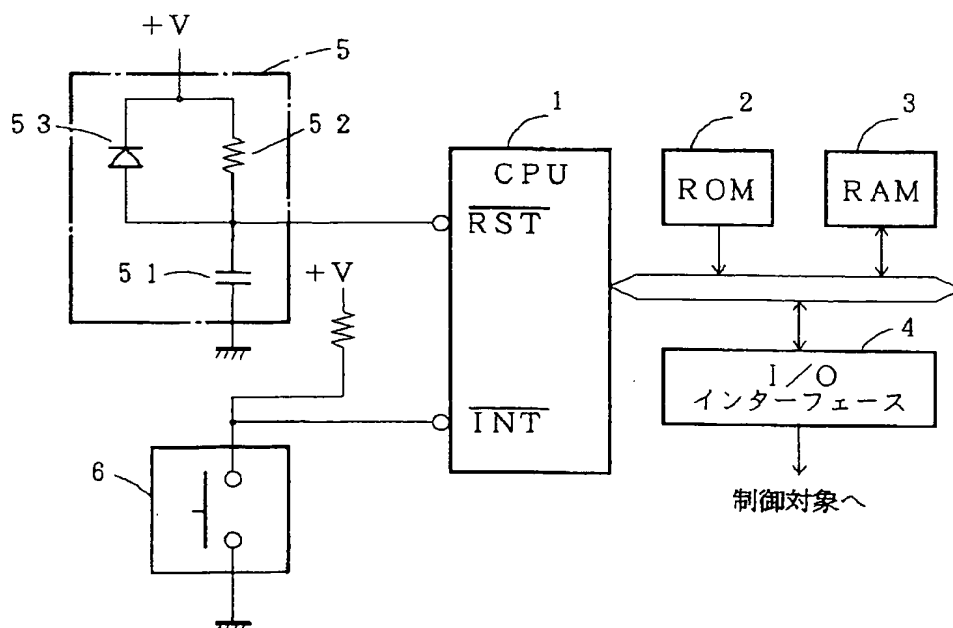
【図3】従来のCPUのリセット回路を示す回路図である。

【図4】前記従来回路の動作を示すフローチャートである。

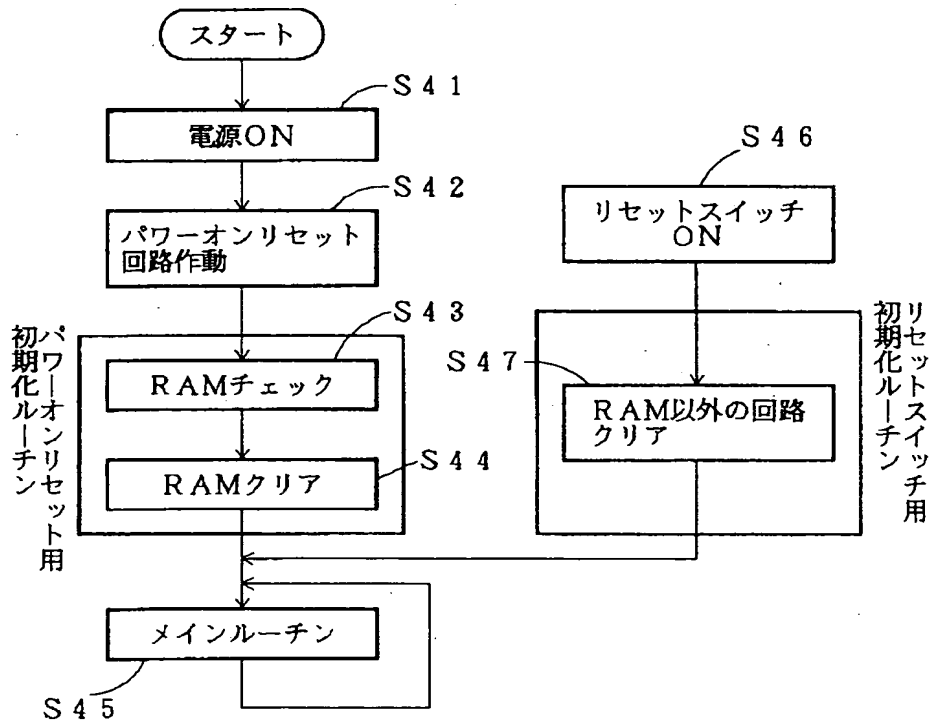
【符号の説明】

- |     |             |
|-----|-------------|
| 1   | CPU         |
| 2   | ROM         |
| 3   | RAM         |
| 4   | I/Oインターフェース |
| 5   | パワーオンリセット回路 |
| 6   | リセットスイッチ    |
| RST | リセット端子      |
| INT | 割り込み端子      |

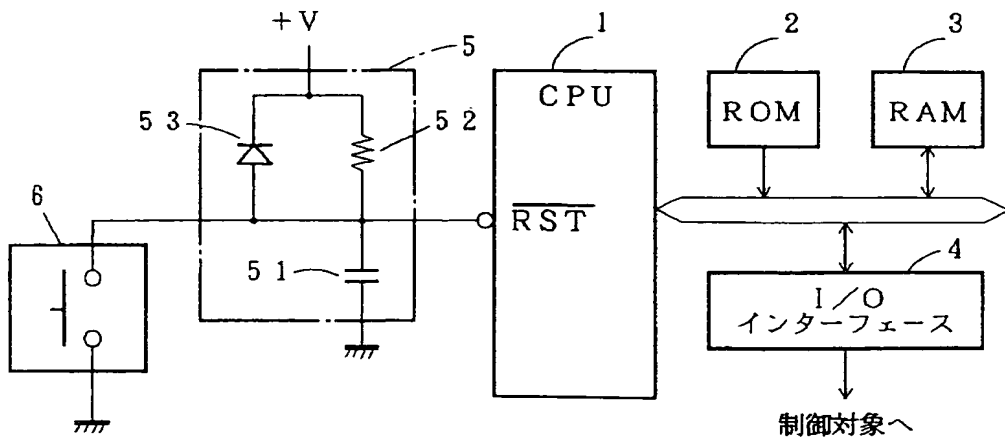
【図1】



【図2】



【図3】



【図4】

